

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

THIS PAGE BLANK (USPTO)

DIALOG(R)File 351:Derwent WPI
(c) 2000 Derwent Info Ltd. All rts. reserv.

011565533 **Image available**

WPI Acc No: 1997-542014/199750

XRPX Acc No: N97-451347

**Electron emitting element for flat panel display - has electron emission
film formed between pair of pixel electrodes**

Patent Assignee: DAINIPPON PRINTING CO LTD (NIPQ)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 9259741	A	19971003	JP 9685991	A	19960315	199750 B

Priority Applications (No Type Date): JP 9685991 A 19960315

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 9259741	A	16	H01J-001/30	

Abstract (Basic): JP 9259741 A

The element (10) has a substrate (11) on which a pair of pixel electrodes (12,13) are arranged.

Each electrode consists of three poles. An electric emission film (14) is formed between the electrodes.

ADVANTAGE - Enables easy alignment. Improves colour duplication.
Simplifies process.

Dwg.1/27

Title Terms: ELECTRON; EMIT; ELEMENT; FLAT; PANEL; DISPLAY; ELECTRON; EMIT;
FILM; FORMING; PAIR; PIXEL; ELECTRODE

Derwent Class: V05

International Patent Class (Main): H01J-001/30

International Patent Class (Additional): H01J-009/02; H01J-031/12

File Segment: EPI

Manual Codes (EPI/S-X): V05-D01B3C; V05-D01C5; V05-D05C5

THIS PAGE BLANK (USPTO)

特開平9-259741

(43) 公開日 平成9年(1997)10月3日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 J	1/30		H 0 1 J	1/30
	9/02			9/02
	31/12			31/12
				B
				B
				C

審査請求 未請求 請求項の数12 F D (全 16 頁)

(21) 出願番号 特願平8-85991
 (22) 出願日 平成8年(1996)3月15日

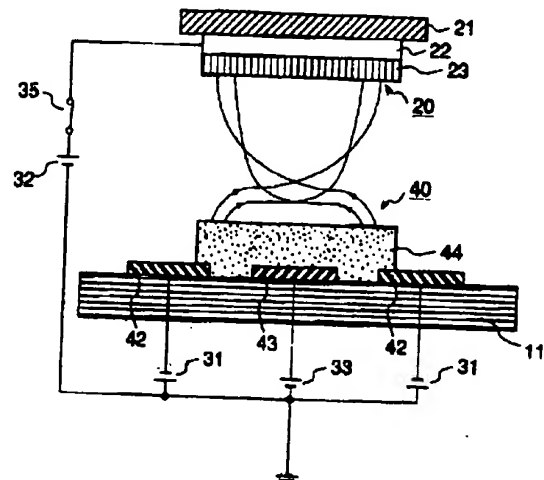
(71) 出願人 000002897
 大日本印刷株式会社
 東京都新宿区市谷加賀町一丁目1番1号
 (72) 発明者 細谷 守男
 東京都新宿区市谷加賀町一丁目1番1号
 大日本印刷株式会社内
 (74) 代理人 弁理士 小西 淳美

(54) 【発明の名称】 電子放出素子と電子放出素子を配列したマトリックス基板およびその製造方法

(57) 【要約】

【課題】 フラットパネルディスプレイ等を使用される電子放出素子の新規な構造とそれを配列したマトリックス基板およびその製造方法を提供する。

【解決手段】 電子放出素子のカソード側電極を3極または中心電極を包囲する電極構造とすることによって、電子収束性のよい電子放出素子が得られる。また、この電子放出素子をマトリックス基板に形成する場合に、上部電極層と下部電極層を絶縁層を介して上下に形成することで、配線層を単純化したマトリックス基板が得られる。マトリックス基板の製造には、絶縁性粒子を分散した感光性樹脂や導電性樹脂を分散した感光性樹脂を使用することにより、製造工程の簡易化を図っている。



【特許請求の範囲】

【請求項1】 基板上に、平面的に配置された一対の電極を設けるとともに、当該一対の電極よりは正に荷電される電極を当該一対の電極間に設けて3極からなる画素電極を構成するとともに、当該画素電極間に電子放出膜を形成したことを特徴とする電子放出素子。

【請求項2】 基板上に、立体的に配置された一対の電極を設けるとともに、当該一対の電極よりは正に荷電される電極を絶縁層を介して当該一対の電極間であって、基板面から突出した位置に設けて3極からなる画素電極を構成するとともに、当該画素電極間に電子放出膜を形成したことを特徴とする電子放出素子。

【請求項3】 画素電極のうち前記一対の電極が基板面からほぼ等しい厚さに形成され、前記正に荷電される電極が、これら一対の電極よりは基板面から突出してまたは突出した位置に形成されていることを特徴とする請求項1もしくは請求項2に記載の電子放出素子。

【請求項4】 基板上に、平面的に配置された中心電極と当該電極を包囲しかつ中心電極よりは負に荷電される電極を設けて画素電極を構成するとともに、当該都合2極からなる画素電極間に電子放出膜を形成したことを特徴とする電子放出素子。

【請求項5】 基板上に、立体的に配置された中心電極と当該電極を包囲しかつ当該中心電極の頂部よりは基板面に近接した位置に中心電極よりは負に荷電される電極を設けて画素電極を構成するとともに、当該画素電極間に電子放出膜を形成したことを特徴とする電子放出素子。

【請求項6】 中心電極が当該中心電極を包囲する電極上に形成された絶縁層を介して設けられていることを特徴とする請求項4もしくは請求項5記載の電子放出素子。

【請求項7】 電子放出素子の周囲に収束電極が設けられていることを特徴とする請求項1乃至請求項6記載の電子放出素子。

【請求項8】 基板上に、列方向に伸びた複数の下部電極を配置するとともに、絶縁層を介して行方向に伸びた複数の上部電極を配置し、各下部電極と各上部電極とを絶縁層を介して交差させ、各交差部分もしくはその近傍に、下部電極の一部を包囲するように上部電極から分岐した一対の電極を平面的に設けて3極からなる画素電極を構成するとともに、通電により電子放出を行う機能をもった電子放出膜を当該画素電極間に形成した各画素電極および電子放出膜からなる複数の電子放出素子を基板上にマトリックス状に配列し、この複数の電子放出素子について、前記下部電極が列方向配線として機能し、前記上部電極が行方向配線として機能するように構成した電子放出素子を配列したマトリックス基板。

【請求項9】 基板上に、列方向に伸びた複数の下部電極を配置するとともに、絶縁層を介して行方向に伸びた

複数の上部電極を配置し、各下部電極と各上部電極とを絶縁層を介して交差させ、各交差部分における上部電極と当該上部電極下に配置される左右の下部電極とで画素電極を構成するとともに、通電により電子放出を行う機能をもった電子放出膜を当該画素電極間に形成した各画素電極および電子放出膜からなる複数の電子放出素子を基板上にマトリックス状に配列し、この複数の電子放出素子について、前記下部電極が列方向配線として機能し、前記上部電極が行方向配線として機能するように構成した電子放出素子を配列したマトリックス基板。

【請求項10】 基板上に、列方向に伸びた複数の下部電極を配置するとともに、絶縁層を介して行方向に伸びた複数の上部電極を配置し、各下部電極と各上部電極とを絶縁層を介して交差させ、各交差部分もしくはその近傍に、下部電極の一部を包囲するように上部電極から分岐した電極を平面的に設けて画素電極を構成するとともに、通電により電子放出を行う機能をもった電子放出膜を当該画素電極間に形成した各画素電極および電子放出膜からなる複数の電子放出素子を配列したマトリックス基板を製造する方法であって、

絶縁性をもった透光性基板上に導電性材料からなる列方向の下部電極を形成する工程と、

前記基板および下部電極上に、ガラス微粒子を分散させた感光性レジスト層を形成した後、乾燥して絶縁層を形成する工程と、

前記絶縁層をパターン露光して現像した後、焼成して絶縁体層を形成する工程と、

前記基板および絶縁体層上に導電性金属粒子を分散させた感光性レジスト層を形成した後、パターン露光して現像した後、当該基板を焼成して絶縁体層上の行方向電極とそれから分岐した画素電極を形成する工程と、

通電により電子放出を行う機能をもった電子放出膜を当該画素電極間に形成する工程と、

を有することを特徴とする電子放出素子を配列したマトリックス基板の製造方法。

【請求項11】 基板上に、列方向に伸びた複数の下部電極を配置するとともに、絶縁層を介して行方向に伸びた複数の上部電極を配置し、各下部電極と各上部電極とを絶縁層を介して交差させ、各交差部分における上部電極と当該上部電極下に配置される左右の下部電極とで画素電極を構成するとともに、通電により電子放出を行う機能をもった電子放出膜を当該画素電極間に形成した、各画素電極および電子放出膜からなる複数の電子放出素子を配列したマトリックス基板を製造する方法であって、

絶縁性をもった透光性基板上に導電材料からなる列方向の下部電極を形成する工程と、

前記基板および下部電極上に絶縁層と導電性金属層を堆積した後、感光性レジスト剤を一樣に塗布してパターン露光する工程と、

当該パターン露光により得られたレジスト層をマスクとして前記導電性金属層をエッチングして行方向の上部電極を形成する工程と、

当該エッチングにより得られた上部電極をマスクとして前記絶縁層をエッチングする工程と、

前記基板、下部電極、絶縁層、上部電極上に再度、感光性レジスト剤を一様に塗布した後、上部電極の線幅を減少させるパターン露光を行う工程と、

当該パターン露光により得られたレジスト層をマスクとして前記導電性金属からなる上部電極をエッチングする工程と、

通電により電子放出を行う機能をもった電子放出膜を上部電極と下部電極の交差点において上部電極と下部電極間に形成する工程と、

を有することを特徴とする電子放出素子を配列したマトリックス基板の製造方法。

【請求項12】電子放出膜が有機パラジウム化合物を含む薄層からなることを特徴とする請求項10もしくは請求項11記載の電子放出素子を配列したマトリックス基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電子放出素子および電子放出素子を配列したマトリックス基板とその製造方法に関し、特に表面伝導型の新規な構造の電子放出素子とそれを使用したフラットパネルディスプレイ用マトリックス基板とその製造方法に関する。

【0002】

【従来の技術】フラットパネルディスプレイの一種として、FED (Field Emission Display) が精力的に研究されている。このFEDは、カソード基板とアノード基板とを対向させ、カソード基板上に多数の電子放出素子を配置し、この電子放出素子からアノード基板に向けて電子を放出させ、アノード基板上の蛍光体層を発光させるものである。カソード基板上に形成される電子放出素子は、個々の画素に対応することになる。これまで利用されている電子放出素子は、電子放出に適した鋭い突起構造を有するものが一般的であり、たとえば、先端部が尖った円錐状の金属からなる電子放出素子が広く利用されている。

【0003】これに対して、近年、表面伝導型の電子放出素子が注目を浴びている。これは、基板上に形成された小面積の薄膜に、膜面に平行に電流を流すことにより電子放出が生じる現象を利用した電子放出素子である。このような電子放出現象は、1965年に「ラジオ エンジニアリング エレクトロ フィジックス (Radio Eng. Electron. Phys.) 第10巻、1290～1296頁」

に、エム・アイ・エリンソン (M.I. Elinson) らによって報告されて以来、今日に至るまで種々の報告がなされている。具体的には、エリンソンらによって開発された

SnO₂ (Sb) 薄膜をはじめ、Au薄膜、ITO薄膜、カーボン薄膜などで、この表面伝導型の電子放出現象が報告されている。

【0004】また、最近では、特公平6-101297号公報に、微粒子を分散した面を挟持した絶縁層を用いて、この表面伝導型の電子放出素子を構成する技術が開示されており、特公平6-87392号公報には、微粒子を含む薄膜導電体膜に通電加熱を施すことにより、表面伝導型の電子放出機能をもった電子放出素子を製造する方法が開示されている。

【0005】

【発明が解決しようとする課題】上述したように、表面伝導型の電子放出素子は、FEDなどのフラットパネルディスプレイへの利用が期待されている素子であり、このようなディスプレイへ応用する場合、基板上に多数の素子を行列状に配置し、各素子からの電子放出をそれぞれ独立して制御できるようにしたマトリックス基板が必要とされる。

【0006】従来の表面伝導型電子放出素子を配列したマトリックス基板の課題は、従来構造では、基板上に平行に向かい合う画素電極間に電子放出物質が存在するために、電子が横方向に飛翔する傾向を除去できないという問題である。このため、対向基板が、カラー基板であって、異なる蛍光体が塗り分けられて構成されている場合には、色純度やコントラストが低下するという問題が生じ、蛍光体と対応する画素電極側とのアライメント (すなわち位置合わせ) が困難になるという製造上の問題も生じる。そこで本発明は、電子が横方向に飛翔しない新規な構造の電子放出素子とそれを配列したマトリックス基板とその製造方法を提供することを目的とする。

【0007】電子放出素子を配列したマトリックス基板およびその製造上での課題は、駆動に必要な配線層をできるだけ単純な工程で形成するということである。上述のように、行列状に配置された多数の電子放出素子をそれぞれ独立して制御するためには、基板上に縦横に巡った配線を施し、これら配線に対する電圧を制御することにより、個々の素子からの電子放出を制御できるようにしなければならない。ところが、個々の電子放出素子に対してこのような配線を施すためには、基板上にかなり複雑な立体配線層を形成する必要がある、製造プロセスはかなり複雑にならざるを得ない。このため、やはり製造コストの高騰を招くことになる。

【0008】

【課題を解決するための手段】

(1) 本発明の電子放出素子の第1の態様は、基板上に、平面的に配置された一対の電極を設けるとともに、当該一対の電極よりは正に荷電される電極を当該一対の電極間に設けて3極からなる画素電極を構成するとともに、当該画素電極間に電子放出膜を形成したことを特徴とする電子放出素子、にある。この電子放出素子の電極

配置によれば、電子放出が中央の電極に向かってなされるので、対向基板に対して電子が横に流れない素子が得られる。

【0009】(2) 本発明の電子放出素子の第2の態様は、基板上に、立体的に配置された一对の電極を設けるとともに、当該一对の電極よりは正に荷電される電極を絶縁層を介して当該一对の電極間であって、基板面から突出した位置に設けて3極からなる画素電極を構成するとともに、当該画素電極間に電子放出膜を形成したことを特徴とする電子放出素子、にある。この電子放出素子によれば、電子放出が対向基板の方向に向いてなされるので、収束した放出がなされる。

【0010】(3) 本発明の電子放出素子の第3の態様は、基板上に、平面的に配置された中心電極と当該電極を包囲しかつ中心電極よりは負に荷電される電極を設けて画素電極を構成するとともに、当該都合2極からなる画素電極間に電子放出膜を形成したことを特徴とする電子放出素子、にある。この電子放出素子によれば、電子放出が中心の電極に向けてなされるので、電子放出が収束してなされる。

【0011】(4) 本発明の電子放出素子の第4の態様は、基板上に、立体的に配置された中心電極と当該電極を包囲しかつ当該中心電極の頂部よりは基板面に近接した位置に中心電極よりは負に荷電される電極を設けて画素電極を構成するとともに、当該画素電極間に電子放出膜を形成したことを特徴とする電子放出素子、にある。この電子放出素子によれば、電子放出が中心電極に向いてなされるとともに、対向基板の方向に向いてなされるので、さらに収束した電子放出がなされる。

【0012】(5) 本発明の電子放出素子を配列したマトリックス基板の第1の態様は、基板上に、列方向に伸びた複数の下部電極を配置するとともに、絶縁層を介して行方向に伸びた複数の上部電極を配置し、各下部電極と各上部電極とを絶縁層を介して交差させ、各交差部分もしくはその近傍に、下部電極の一部を包囲するように上部電極から分岐した一对の電極を平面的に設けて3極からなる画素電極を構成するとともに、通電により電子放出を行う機能をもった電子放出膜を当該画素電極間に形成した各画素電極および電子放出膜からなる複数の電子放出素子を基板上にマトリックス状に配列し、この複数の電子放出素子について、前記下部電極が列方向配線として機能し、前記上部電極が行方向配線として機能するように構成した電子放出素子を配列したマトリックス基板、にある。このマトリックス基板の構成により、基板上の配線が単純化される。

【0013】(6) 本発明の電子放出素子を配列したマトリックス基板の第2の態様は、基板上に、列方向に伸びた複数の下部電極を配置するとともに、絶縁層を介して行方向に伸びた複数の上部電極を配置し、各下部電極と各上部電極とを絶縁層を介して交差させ、各交差部分

における上部電極と当該上部電極下に配置される左右の下部電極とで画素電極を構成するとともに、通電により電子放出を行う機能をもった電子放出膜を当該画素電極間に形成した各画素電極および電子放出膜からなる複数の電子放出素子を基板上にマトリックス状に配列し、この複数の電子放出素子について、前記下部電極が列方向配線として機能し、前記上部電極が行方向配線として機能するように構成した電子放出素子を配列したマトリックス基板、にある。このマトリックス基板の構成により、基板上の配線が単純化される。

【0014】(7) 本発明のマトリックス基板の製造方法の第1の態様は、基板上に、列方向に伸びた複数の下部電極を配置するとともに、絶縁層を介して行方向に伸びた複数の上部電極を配置し、各下部電極と各上部電極とを絶縁層を介して交差させ、各交差部分もしくはその近傍に、下部電極の一部を包囲するように上部電極から分岐した電極を平面的に設けて画素電極を構成するとともに、通電により電子放出を行う機能をもった電子放出膜を当該画素電極間に形成した各画素電極および電子放出膜からなる複数の電子放出素子を配列したマトリックス基板を製造する方法であって、絶縁性をもった透光性基板上に導電性材料からなる列方向の下部電極を形成する工程と、前記基板および下部電極上に、ガラス微粒子を分散させた感光性レジスト層を形成した後、乾燥して絶縁層を形成する工程と、前記絶縁層をパターン露光して現像した後、焼成して絶縁体層を形成する工程と、前記基板および絶縁体層上に導電性金属粒子を分散させた感光性レジスト層を形成した後、パターン露光して現像した後、当該基板を焼成して絶縁体層上の行方向電極とそれから分岐した画素電極を形成する工程と、通電により電子放出を行う機能をもった電子放出膜を当該画素電極間に形成する工程と、を有することを特徴とする電子放出素子を配列したマトリックス基板の製造方法、にある。このマトリックス基板の製造方法によれば、配線が単純化された基板を容易に製造することができる。

【0015】(8) 本発明のマトリックス基板の製造方法の第2の態様は、基板上に、列方向に伸びた複数の下部電極を配置するとともに、絶縁層を介して行方向に伸びた複数の上部電極を配置し、各下部電極と各上部電極とを絶縁層を介して交差させ、各交差部分における上部電極と当該上部電極下に配置される左右の下部電極とで画素電極を構成するとともに、通電により電子放出を行う機能をもった電子放出膜を当該画素電極間に形成した、各画素電極および電子放出膜からなる複数の電子放出素子を配列したマトリックス基板を製造する方法であって、絶縁性をもった透光性基板上に導電材料からなる列方向の下部電極を形成する工程と、前記基板および下部電極上に絶縁層と導電性金属層を堆積した後、感光性レジスト剤を 様に塗布してパターン露光する工程と、当該パターン露光により得られたレジスト層をマスクと

して前記導電性金属層をエッチングして行方向の上部電極を形成する工程と、当該エッチングにより得られた上部電極をマスクとして前記絶縁層をエッチングする工程と、前記基板、下部電極、絶縁層、上部電極上に再度、感光性レジスト剤を一様に塗布した後、上部電極の線幅を減少させるパターン露光を行う工程と、当該パターン露光により得られたレジスト層をマスクとして前記導電性金属からなる上部電極をエッチングする工程と、通電により電子放出を行う機能をもった電子放出膜を上部電極と下部電極の交差点において上部電極と下部電極間に形成する工程と、を有することを特徴とする電子放出素子を配列したマトリックス基板の製造方法、にある。このマトリックス基板の製造方法によれば、配線が単純化された基板を容易に製造することができる。

【0016】

【発明の実施の形態】以下、本発明を図示する実施形態に基づいて説明する。

【0017】§1. 従来の電子放出素子の構造および動作原理

はじめに、従来の一般的な表面伝導型の電子放出素子の構造および動作原理を説明しておく。図1は、従来の表面伝導型の電子放出素子10および対向基板20の構造を示す断面図である。この例では、電子放出素子10は、ガラス基板11上に電極12、13を形成し、更にその上に電子放出膜14を形成することにより構成されている。電子放出膜14は、カソード電極として機能することになり、たとえば、 SnO_2 、 In_2O_3 、 PbO などの金属酸化物、 Au 、 Ag などの金属、カーボンその他各種半導体など、表面伝導型の電子放出現象が知られている材料であればどのような材料で構成してもかまわない。一方、対向基板20は、ガラス基板21上に透明電極22および蛍光体層23を形成したものである。透明電極22は、たとえばITOなどの材料で構成され、アノード電極として機能することになる。カラー用のフラットパネルの場合は、アノード電極側の蛍光体層23は、B、G、Rの3色の蛍光体に塗り分けられて構成されることになる。

【0018】図2は、図1に示す電子放出素子10におけるガラス基板11上に形成された構成要素の上面図である。この図における切断線1-1による断面が図1に示されていることになる。電極12および13が所定間隔をおいて向き合っており、その間に電子放出膜14が形成されている状態が明瞭に示されている。

【0019】いま、図1に示すように、各部に配線を施した場合に生じる現象について考えてみる。この配線によれば、電極13は接地され、電極12には電源31から負の電圧が印加される。また、電子放出素子10と対向基板20との間にも、電源32によってカソード/アノード間電圧が印加されるが、この図1に示す状態では、スイッチ35が開いているため、電圧印加は行われ

ていない。さて、電極12、13によって、電子放出膜14の両側に電圧が印加されると、電子放出膜14の膜表面部分に、図に矢印で示したような電子放出が起こる。これが、表面伝導型の電子放出として知られている現象である。

【0020】図3は、図1に示す電子放出素子10から対向基板に向けて電子放出が行われている状態を示す断面図である。ここで、スイッチ35を閉じてカソード/アノード間電圧を印加すれば、図3に示すように、電子放出膜14の表面に放出された電子は、アノード側の対向基板20へと飛翔することになり、このようなカソードからアノードへと向かう電子の衝突により、蛍光体層23が蛍光を発することになる。ここでは、説明の便宜上、1画素分の構成要素のみを示したが、このような1画素分の構成要素を縦横にマトリックス状に配列すれば、画素を二次元平面上に並べたフラットパネルディスプレイを実現することができる。なお、このようなフラットパネルディスプレイでは、スイッチ35を閉じた状態のままとし、各画素ごとに電源31からの印加電圧を調節して、画素ごとの発光状態を制御するのが一般的である。より具体的には、電子放出膜14に与える印加電圧の値および印加時間を調節することにより、対向基板20側への電子の飛翔量を制御することができる。

【0021】さて、このような電子放出素子10を利用したフラットパネルディスプレイの技術的課題は、既に述べたように、電子放出素子から放出された電子を対向基板の対応する方向に垂直に飛翔させることである。図1において説明したように、電極12には負の電圧が印加され、電極13は接地されているので、電子放出膜14から放出された電子は放出当初から、矢印で示す方向への方向性を有している。この状態で、スイッチ35を閉じると電源32により対向基板との間でも電圧が印加され、電子は対向基板側へ向かうが、その方向は、図3にも図示されるように横方向へかなり流れた軌跡を描き、対応する蛍光体に電子が到達しない場合が生じる。このため、特にカラー画像を形成する場合には、フラットパネルの製造上、上下のマトリックス基板のアライメントが困難になるという問題が生じ、その結果、色純度やコントラストが低下する原因となる。

【0022】また、駆動用配線の単純化という課題も、従来構造の電子放出素子を配列したマトリックス基板では、解決することが困難な課題である。図1および図3では、1画素分の電子放出素子についての配線を示したが、ディスプレイに利用する場合には、ガラス基板11上に縦横に配列された多数の電子放出素子のそれぞれに対して独立した配線を施し、各電子放出素子ごとに、電子放出膜14への印加電圧を独立して制御できるようにしなければならない。ガラス基板11にこのような配線を施すには、数多くのパターンニングプロセスが必要となり、製造工程は複雑化せざるを得ない。これも製造コス

トを高騰させる要因のひとつであり、実用化への障害となる。

【0023】§2. 新規な電子放出素子の構造および動作原理

上述した従来の電子放出素子では、電子放出膜14はガラス基板11上に並行して配置された一対の電極間の膜として形成されている。これは、一方の電極から他方の電極に電子を放出するという一般的な考えに基づくものである。これに対し、本願発明者は、一対の電極をガラス基板上に配置するとともに、当該一対の電極間に、当該一対の電極よりは正に荷電される電極を設けて画素電極を構成することを着想するに至った。こうして、電子放出膜を当該3極の電極間に形成すれば、両端の電極近くよりそれぞれ放出された電子は中央の電極に向かうことになり、両者の関係は対向基板の中心に対して対称的となるから、従来の素子と比べて、電子の軌跡はより垂直方向となり、その結果アライメントが必要なくなることが考えられる。また、1画素あたりの電子放出量も増加し、その結果輝度が向上することも考えられる。

【0024】図4は、このような構造をもった本発明になる3極の画素電極からなる電子放出素子40および対向基板20を示す断面図である。電子放出素子40は、一対の両端電極42と中央の電極43からなる画素電極と、それぞれの電極間に形成されている電子放出膜44からなっている。いま、図4に示すように、各部に配線を施した場合に生じる現象について考えてみる。この配線によれば、両端の電極42は電源31から負の電圧が印加され、中央の電極43は電源33から正の電圧が印加される。また、電子放出素子40と対向基板20の間にも、電源32によってカソード/アノード間電圧が印加されるが、この図4に示す状態では、スイッチ35が開いているため、電圧印加は行われていない。

【0025】図5は、図4に示す電子放出素子40におけるガラス基板11上に形成された構成要素の上面図である。この図における切断線1-1による断面が図4に示されていることになる。一対の電極42が所定間隔をおいて向き合っており、中央に正に荷電される電極43が配置されている。その3極の電極上に電子放出膜44が形成されている状態が明瞭に示されている。

【0026】さて、両端の電極42および中央の電極43によって、電子放出膜44に電圧が印加されると、電子放出膜44の膜表面部分に、図4に矢印で示したような電子放出が起こる。すなわち、表面伝導型の電子放出現象が起こることになる。両端の電極近くの電子放出物質の表面から放出された電子は中央の正に荷電された電極方向に飛翔する。例えば、右側の電極近くから放出された電子は中央の電極近くで捕捉され、なおも飛翔を続けようとするれば、左側の電極により反対方向の力を受けるので、結局、中央の電極に収束することになる。

【0027】図6は、図4に示す本発明による電子放出

素子40から対向基板20に向けて電子放出が行われている状態を示す断面図である。ここで、スイッチ35を閉じてカソード/アノード間電圧を印加すれば、図6に示すように、電子放出膜44の表面に放出された電子は、アノード側の対向基板20へと飛翔することになり、このようなカソードからアノードへと向かう電子の衝突により、蛍光体層23が蛍光を発することになる。ここでも説明の便宜上、1画素分の構成要素のみを示したが、このような1画素分の構成要素を縦横にマトリックス状に配列すれば、画素を二次元平面上に並べたフラットパネルディスプレイを実現することができる。実際には、従来の電子放出素子を用いたフラットパネルディスプレイと同様に、スイッチ35を閉じた状態のままで、各画素ごとに電源31からの印加電圧を調節して、画素ごとの発光状態を制御することができる。

【0028】図3の電子の飛翔軌跡と図6の飛翔軌跡を比較して明らかなように、図6では対向基板20への飛翔軌跡が右側の電極からでた電子と左側の電極からでた電子とが対称的な飛翔軌跡を描くので、全体としては対向基板の中心に対して方向性がなく、カソードとアノード電極（対向基板）との位置合わせの問題も解決されることになる。

【0029】また、このような電極構造に対して画素電極の周囲に収束電極を設けてもよい。図7は、図6に示す画素電極の両端に収束電極を設けた例を示す上面図である。画素電極の両端に配置された収束電極45には、画素電極42よりも大きい負電圧がかけられていて電子の収束性をさらに高めている。収束電極は図7のように並列的に設けてもよいし画素電極を包囲するように設けてもよい。

【0030】図8は、本発明の他の電極構造をもった電子放出素子50の上面図である。図8の電子放出素子50の電極は、図6の電子放出素子と同様に平面的に形成されている。しかし、中心の電極に対して、他方の電極は中心の電極を包囲するように形成されている点に特徴がある。電子放出素子50は、周囲電極52と中心電極53からなる画素電極からなり、周囲電極52と中心電極53とは、電気的に隔離されている。中心電極は、図8のように周囲電極の切りかけ部から電源に接続するようにしてもよいし、完全に円形または環状をなす周囲電極上に絶縁層を介して中心電極を設けてもよい。電子放出膜54は、それぞれの電極間に形成されている。このような電極構造では、周囲電極から中心電極に向けて電子が放出されることになり、図6の場合よりもさらに電子の飛翔軌跡が収束することが考えられる。

【0031】図9は、本発明の他の電極構造をもった電子放出素子の斜視図である。図6の電子放出素子が基板に対して平面的に形成されているのに対し、図9の電子放出素子では、立体的に形成されている点に特徴がある。電子放出素子60は、一対の両端電極62と中央電

極63からなる画素電極からなり、両端電極62と中央電極63とは、絶縁層65によって隔離されている。電子放出膜64は、それぞれの電極間に形成されている。このように、電子放出素子を立体的に形成し、中央の電極を突出した形状または突出した位置に形成する場合には、電子放出物質から放出した電子が放出当初から上方の対向基板へ向かう方向性を有しているので、電子の飛翔が収束してなされるという効果がある。図9に図示の例では、電子放出膜64は、中央電極の両側に分離して形成されているが、中央電極を跨ぐように形成しても同様の効果が得られる。

【0032】図10は、本発明の他の電極構造をもった電子放出素子の斜視図である。図10(A)は、中心電極73と周囲電極72とが絶縁層75を介して形成されていることを示している。図10(B)は、一部破断面を示しているが、電子放出素子70には電子放出膜74が両電極間に形成されている。図10の電子放出素子70は、図9の電子放出素子と同様に立体的に形成されている。しかし、中心の電極に対して、他方の電極は中心の電極を包囲するように形成されている点に特徴がある。電子放出素子70は、周囲電極72と中心電極73からなる画素電極からなり、周囲電極72と中心電極73とは、絶縁層75によって隔離されている。このように、電子放出素子を立体的に形成し、中心の電極を突出した形状または突出した位置に形成する場合には、電子放出物質から放出した電子が放出当初から上方の対向基板へ向かう方向性を有しているので、電子の飛翔が収束してなされるという効果は、図9の電子放出素子の場合と同様である。

【0033】§3. 新規構造の電子放出素子を用いたマトリックス基板

これまで、新規構造をもった電子放出素子の構造を述べたが、この電子放出素子をフラットパネルディスプレイに利用する場合には、多数の電子放出素子を基板上に行列状に配置したマトリックス基板を用いることになる。本発明では、このようなマトリックス基板において、駆動用の電極を絶縁層を介して下部電極と上部電極とに分けることにより単純化を図った。以下、このマトリックス基板の構造を説明する。なお、本願図面では、斜視図においても、各構成要素に必要に応じてハッチングを施して示すことにする。このハッチングは断面を示すためのものではなく、個々の構成要素を容易に識別できるようにするためのものである。

【0034】図11は、本発明の電子放出素子をマトリックス基板上に構成した実施例を示す斜視図である。ガラス基板100には、4つの電子放出素子200を形成してなるマトリックス基板が示されている。ディスプレイパネルへ応用する場合、1つの電子放出素子が1画素分の表示動作を行うことになるので、この図11に示す例では、2×2の合計4画素分の表示が可能になる。も

ちろん、実際のディスプレイに用いるマトリックス基板では、より多数の電子放出素子が配列されることになる。なお、図11の斜視図において、各構成要素に施されているハッチングは、前述したように、断面を示すためのものではなく、個々の構成要素を容易に識別できるようにするためのものである。この図11に示すマトリックス基板の構造は次のとおりである。

【0035】まず、ガラス基板100上に、列方向に伸びた下部電極110を複数（この例では2本）配置し、更に、行方向に伸びた上部電極130を複数（この例では2本）配置する。ここで、各下部電極110と各上部電極130とは、絶縁層120を介して交差しており、各交差部分もしくはその近傍には、下部電極110の一部と上部電極130から分岐した一対の電極との間に画素電極が形成されている（この例では、4組の画素電極が形成されている）。そして、各画素電極の上面には、通電により電子放出を行う機能をもった電子放出膜140が、この画素電極のそれぞれの電極間に形成されており、1組の電子放出素子200が構成されている。このような構成をもった電子放出素子200は、基板上にマトリックス状に配列され（この例では2行2列）、これらの電子放出素子200について、下部電極110は列方向配線層として機能し、上部電極130は行方向配線層として機能することになる。

【0036】このように、下部電極110および上部電極130が、それぞれガラス基板100上で縦横に伸びた配線層としても機能しうるのは重要である。前述したように、ディスプレイとして利用するためには、マトリックス状に配列された個々の電子放出素子に対して、それぞれ別個に電子放出を制御できるような配線が必要になる。従来の電子放出素子の場合、このような配線のための層を別途用意する必要があるため、基板上の構造は非常に複雑になる。これに対して、本発明の電子放出素子の場合、図11のように構成できるので、別途配線層を設ける必要はない。

【0037】図12は、本発明の電子放出素子をマトリックス基板上に構成した他の実施例を示す斜視図である。ガラス基板100に4つの電子放出素子300が形成された形態が示されている。図12に示す例では、2×2の合計4画素分の表示であることは、図11の場合と同様である。この図12に示すマトリックス基板の構造は次のとおりである。まず、ガラス基板100上に、列方向に伸びた下部電極110を複数（この例では2本）配置し、更に、行方向に伸びた上部電極130を複数（この例では2本）配置する。ここで、各下部電極110と各上部電極130とは、絶縁層120を介して交差しており、各交差部分が画素電極の機能を果している。従って、この例では、4組の画素電極が形成されていることになる。そして、各画素電極の上面には、通電により電子放出を行う機能をもった電子放出膜140

13

が、この画素電極間に形成されており、1組の電子放出素子300が構成されている。

【0038】このような構成をもった電子放出素子300は、基板上にマトリックス状に配列され（この例では2行2列）、これらの電子放出素子300について、下部電極110は列方向配線層として機能し、上部電極130は行方向配線層として機能することになり、別途配線層を設ける必要がない点も図11の場合と同一である。

【0039】図13は、電子放出素子を用いたマトリックス基板の駆動原理を説明するための平面図である。ここでは、5行5列、合計25組の電子放出素子200が形成された例が示されている。すなわち、列方向に伸びた下部電極110が行方向に5本配置されており、また、行方向に伸びた上部電極130が列方向に5本配置されており、その交差部分（またはその近傍）には25組の電子放出素子200が形成されている。ここで、各電子放出素子200からの電子放出は、それぞれ独立して制御することができる。

【0040】このような制御を行うために、セレクト150およびドライバ160が設けられている。セレクト150は、5本の下部電極110のうちのいずれか1本を選択して接地する機能を果たす。一方、ドライバ160は、5本の上部電極130のそれぞれに、所定の電圧信号を与える機能を有する。セレクト150が、5本の下部電極110を順番に選択する動作を行えば、5本の列を時分割して順次アクセスすることが可能になる。そして、ドライバ160から供給する信号により、現在アクセス中の列に所属する電子放出素子200からの電子放出が制御される。たとえば、図示のように、セレクト150が第1列目を選択して接地した状態において、ドライバ160から、1行目の上部電極130に対して負の電圧供給を行えば、第1行第1列目の電子放出素子については、図6に示す配線がなされたことになり、対向基板20への電子放出が起こることになる。このような駆動方法は、いわゆる「単純マトリックス駆動」と呼ばれている方法である。なお、電子放出素子300の場合も同様である。

【0041】このように、新規構造のマトリックス基板では、下部電極110および上部電極130をそのまま配線層として利用することができるため、ディスプレイに適用する場合にも構造は非常に単純になり、製造プロセスも単純化され、製造コストの低減を図ることができるようになる。

【0042】§4. 本発明に係るマトリックス基板の製造方法

本発明は、図11、図12に示すような新規構造の電子放出素子を配列したマトリックス基板の製造方法をも提供するものである。以下、その第1の方法を、図14～図22に示す斜視図を参照しながら説明する。また、そ

14

の第2の方法を、図23～図27に示す斜視図を参照しながら説明する。なお、これらの斜視図においては、図11、図12に示す各構成要素との対応関係を明らかにするためのハッチングを施すことにし、便宜上、1組の電子放出素子200または300の構成部分のみを図示することにする。実際には、基板上には多数の電子放出素子が同時に形成されることになる。

【0043】＜製造方法1＞まず、図14に示すように、ガラス基板100（絶縁性の基板であれば何でもよい）上の全面に導電性をもった準備層110を、真空蒸着法やスパッタ法など一般的な成膜方法を用いて形成する。続いて、この準備層上に感光性レジスト層115を設けるとともに、フォトリソグラフィを用いてこのレジスト層115をパターニングしてレジストパターンを形成し（図15）、準備層をエッチングすることによって、図16に示すように、下部電極110を形成する。この準備層110のパターニングには、一般的なフォトリソグラフィおよびエッチングの手法の他に、フォトリソグラフィおよびサンドブラストの手法を用いることもできる。もっとも、準備層110としては、必ずしもその時点で導電性をもった層を用いる必要はない。たとえば、感光性をもった樹脂中に金属微粒子を分散させてなる金属粒子分散型レジスト（いわゆる金属ペースト）をガラス基板100上に塗布して感光性のペースト層を形成し、このペースト層を準備層110とし、フォトリソグラフィの手法により、このペースト層を露光後に現像してパターニングを行い、最後に焼成工程を行って、ペースト層内の樹脂成分を除去すれば、導電性をもった下部電極110を得ることができる。なお、感光性のペースト層は、感光性をもった樹脂と有機金属との混合からなる有機金属混合型レジストにより形成してもよい。

【0044】このように、下部電極110は、本発明に係る製造プロセスにおける基準パターンとなる層であるが、本発明は、あくまでもこの下部電極110を形成した後のプロセスに特徴を有するものであり、この下部電極110自身はどのような方法で形成してもかまわない。なお、図14に示すフォトリソグラフィのパターンは、図11に示す下部電極110の平面パターンに相当するものである。すなわち、図11に示す例では、下部電極110の平面パターンとして、列方向配線層として機能する列方向に細長い部分のみから形成されているが、電子放出素子を構成するためにこの細長い部分の脇に形成された突起部分を設ける等、任意に構成できることである。上部電極についても同様であるが、一般に電極の交差部においては静電容量が生じるので、寄生容量を減少させるためには、電極交差部の線幅を減少させることが望ましい。従って、上記の下部電極110は、便宜上、直線的に描いて図示されているが、これらの問題を考慮して実際のマトリックス基板では、電極配線自体についても必要な修正がなされる。

【0045】さて、何らかの方法により、図16に示すような下部電極110が得られたら、続いて、ガラス基板100および下部電極110上の全面に、図17に示すように絶縁体粒子分散型の感光特性をもった層125を形成する。この感光性層125は、例えば、ポジ型の感光特性（露光部が現像により除去される）をもった樹脂中に絶縁体粒子を分散させた材料からなる層であり、後の焼成工程により樹脂成分を除去すれば、絶縁体層を形成することができる。この層の形成はスクリーン印刷法またはディスペンサーによる塗布方法等によって必要

な部分に部分的に形成しても良いし、スピンコート法により、図17のように全面塗布してもよい。続いて、図18に示すように、フォトマスクM2を用いて露光を行う。

【0046】次に、この感光性層125に対して現像を行えば、露光部が除去されることになる。別言すれば、フォトマスクM2による遮光領域と下部電極110の形成領域とが残存部として残ることになる。そこで、この残存部に対して焼成工程を行って樹脂成分を除去すれば、図19に示すように、絶縁層120が形成できる。

【0047】続いて、図20に示すように、ガラス基板100および絶縁層120上の全面に、金属粒子分散型のポジ型感光特性をもった第2のレジスト層135を形成する。この第2のレジスト層135は、例えば、ポジ型の感光特性（露光部が現像により除去される）をもった樹脂中に金属微粒子を分散させた材料からなる感光性ペースト層であり、後の焼成工程により樹脂成分を除去すれば、金属質の導電層を形成することができる。もちろん、この感光性のペースト層は、感光性をもった樹脂と有機金属との混合からなる有機金属混合型レジストにより形成してもよい。

【0048】続いて、図20に示すように、フォトマスクM3を用いた露光を行う。このフォトマスクM3は、行方向の電極を形成することと、下部電極と画素電極を構成するための分岐した一対の電極に対応する領域を露光するためのものである。これは、図21の斜視図に示された構造を見れば、理解が容易である。図21において、上部電極130から分岐した一対の電極は、下部電極110の両側に配置される必要上絶縁層120の斜面に沿って下降して下部電極と同一平面上に形成される。マトリックス基板上では、列方向に隣接する電子放出素子については、互いに上部電極130を分離する必要がある。図20に示すマスクM3の露光工程は、このように絶縁層上の行方向電極および分岐した電極の形成に使用される。なお、この一連の工程を示す斜視図では、説明の便宜上、1組の電子放出素子の製造プロセスを示す図が示されているが、実際には、ガラス基板100上にマトリックス状に配置された電子放出素子が同時に形成される。また、上部電極層のレジスト層125は、材料の節減を図る上からは必ずしも全面に設ける必要はな

く、電極パターンに近似した形状に予めスクリーン印刷等でパターン形成した後、フォトマスクで正確なパターンに整形してもよい。

【0049】続いて、図22に示すように、表面伝導型の電子放出現象が起こる材料を有機溶媒に溶かした溶剤を準備し、この溶剤を画素電極の表面に塗布し乾燥させる方法で、画素電極上に電子放出膜140を形成する。電子放出膜140は画素電極110、130のそれぞれの間に形成する。

【0050】＜製造方法2＞この製造方法2は、電子放出素子を立体的に形成する場合に対応するもので、前述した製造方法1の一部を変更することによりなされるものである。まず、図14に示すように、ガラス基板100上に下部電極110を形成する工程までは、上述した製造方法1と全く同じ工程を行う。

【0051】続いて、絶縁層120を形成するが、上述の製造方法1では、図18に示すように、基板全面に絶縁体粒子分散の感光性層125を形成してこれをフォトマスクM2で露光していた。これに対し、製造方法2では、絶縁体層125の上に上部電極130となる層およびレジスト層135を形成してからフォトマスクM4を用いて、上部電極層のレジストを形成した後、上部電極をエッチングして形成する（図23）。続いて、当該形成された上部電極130をエッチングマスクとして絶縁層をパターンニングする。

【0052】続いて、上部電極、絶縁層、下部電極上の全面にレジスト層を改めて塗布形成し、上部電極の線幅を減少させるためのパターン露光をフォトマスクM5を用いて行う（図25）。レジスト剥離後は、マトリックス基板は、図26のように形成される。このように上部電極の線幅を減少させる処理を行うのは、三層構造自体は容量素子として作用するので、素子自体の寄生容量を低く抑えて応答速度を向上させるためである。続いて、図27に示すように、表面伝導型の電子放出現象が起こる材料を有機溶媒に溶かした溶剤を準備し、この溶剤を画素電極の表面に塗布し乾燥させる方法で、画素電極上に電子放出膜140を形成する。電子放出膜140は画素電極110、130のそれぞれに接触するように形成する。

【0053】

【実施例】

＜材質に関する実施例＞図11、図12に示すマトリックス基板の各部の材質としては、次のような材料を用いるのがよい。

【0054】下部電極110および上部電極130：電極として機能する導電性材料であれば、どのようなものでもよいが、耐電圧性、耐熱性、加工性、耐腐食性、比抵抗性を考慮して適当な材料を選ぶのが好ましい。具体的には、Al、Ni、Pd、Pb、Pt、W、Mo、Cr、Ti、Cu、Au、Agなどの金属材料を用いるの

が好ましい。

絶縁層120:特に、表面伝導性の低い材料を用いるのが好ましく、具体的には、石英ガラス、 SiO_2 、 Si_3N_4 などを用いるのが好ましい。

【0055】電子放出膜140:表面伝導型の電子放出現象が知られている材料であればどのような材料で構成してもかまわない。 SnO_2 、 In_2O_3 、 PbO などの金属酸化物、 Au 、 Ag などの金属、カーボンその他各種半導体などが一般的に知られている材料である。この他、たとえば、特公平6-87392号公報に開示されているように、微粒子を含む薄膜導電体膜に通電加熱を行い、ジュール熱によりこの薄膜導電体膜を局部的に破壊、変形もしくは変質させて、電気的に高抵抗な状態にすることにより、電子放出膜を形成することもできる。あるいは同公報に開示されているようなガスデポジション法により電子放出膜を形成してもよい。

【0056】<製造方法1に関する実施例>

① 厚み3mmの清浄な石英ガラス基板上に、スパッタ法により膜厚3 μm のCr層110を堆積した。その上に、ポジ型レジスト剤(東京応化工業株式会社製「OFPR800」)をスピナにより回転塗布し、オープンにて80°Cで30分間放置し乾燥させることで、厚み7 μm のレジスト層115を得た(図14)。空冷後、所望のパターン(図14のフォトマスクM1のパターン)を露光し、レジストの現像、水洗を行う(図15)。この基板をオープン中に、135°Cで30分間放置する。空冷後、Crエッチング液(ザ・インクテック株式会社製「MR-ES」)を用いてCrをエッチングした後、水洗する。基板上には、厚さ3 μm の下部電極110が得られた。

【0057】② 次に、この基板を120°Cに保持したレジスト剥離液(東京応化工業株式会社製「クリーンストリップ」)中に、5分間放置、室温のストリップリンス液に1分、室温のイソプロピルアルコールに1分間浸漬することでレジストの剥離を行った。この基板を水洗し、その後乾燥させる。以上の工程により、下部電極のパターニングを終了する(図16)。

【0058】③ この基板上に、粒径が20Å~1 μm 程度のガラス微粒子を分散させた感光性レジストをスクリーン印刷法により所望のパターンに印刷することで、膜厚70 μm のガラスペーストパターン125を得る(図17。但し、図17の場合は感光性レジスト層が全面塗布されている)。感光性レジストをパターン印刷するのは材料の節減のためである。これをオープンにて80°Cで30分間放置し乾燥させることで、膜厚45 μm の絶縁体を得る。空冷後、所望のパターン(図18のフォトマスクM2のパターン)を露光し(図18)、現像を行う。この基板を500°Cに保持した焼成炉にて3時間焼成し、有機成分を分解除去することにより、膜厚22 μm の絶縁体層を得る。以上により絶縁体層12

0のパターニングを終了する(図19)。

【0059】④ 空冷後、この基板上に、粒径が20Å~1 μm 程度のAu微粒子を分散させた感光性レジスト135をスクリーン印刷法によりパターン形成する(図20但し、図20の場合は感光性レジスト層が全面塗布されている)。これをオープンにて80°Cで30分間放置し乾燥させることで、膜厚7 μm の有機金属薄膜層を得る。空冷後、所望のパターン(図20のフォトマスクM3のパターン)を露光し(図20)、現像を行う。この基板を400°Cに保持した焼成炉にて2時間焼成し、有機成分を分解除去し、膜厚3 μm のAu層を得る。以上により上部電極130および上部電極から分離した画素電極(-)のパターニングを終了する(図21)。

【0060】⑤ 次に、有機パラジウム化合物を含む有機溶媒(奥野製薬工業株式会社製「キャタベーストCCP」)をスクリーン印刷法で所望の位置に印刷し15分間放置し、壁面上に薄膜を形成した(図22)。その後、約200°Cで20分間焼成し、Pdからなる微粒子層からなる電子放出膜140を得た。

【0061】<対向基板の製造方法に関する実施例>

⑥ 厚み3mmの清浄な石英ガラス基板上に、スパッタ法により膜厚1 μm のITO層を堆積した。この上にEB蒸着法により膜厚20 μm のZnO:Znからなる蛍光体層を蒸着し、蛍光板を作製した。

【0062】<電子放出動作に関する実施例>

⑦ 10^{-10} Paに保った真空チャンバー中に、上述により作製したマトリックス基板と対向基板とを、3mmの間隔で平行に保持し、対向基板とマトリックス基板との間のカソード/アノード電圧として5kVを印加した。また、電子放出素子の動作電圧として、上部電極を接地電圧に保ち、下部電極に20Vを印加したところ、蛍光板に向かって電子放出が得られ、良好な発光特性が得られた。また、行列状に配した多数の電子放出素子を、単純マトリックス駆動し、所定の画像情報に対応した信号を与えたところ、対向基板上に画像形成が見られた。

【0063】<製造方法2に関する実施例>

① 厚み3mmの清浄な石英ガラス基板上に、スパッタ法により膜厚3 μm のCr層を堆積した。その上に、ポジ型レジスト剤(東京応化工業株式会社製「OFPR800」)をスピナにより回転塗布し、オープンにて80°Cで30分間放置乾燥させることで、膜厚7 μm のレジスト層(図14のレジスト層115に相当)を得た。空冷後、所望のパターン(図14のフォトマスクM1のパターン)を露光し、レジストの現像、水洗を行う。この基板をオープン中に、135°Cで30分間放置する。空冷後、Crエッチング液(ザ・インクテック株式会社製「MR-ES」)を用いてCrをエッチング、水洗する。

【0064】② 次に、この基板を 120°C に保持したレジスト剥離液中に、5分間放置し、次に室温のストリップリンス液に1分、室温のイソプロピルアルコールに1分間浸漬することでレジストの剥離を行った。この基板を水洗し、その後乾燥させる。以上の工程により、下部電極110のパターニングを終了する(図16)。ここまでの工程は、製造方法1の場合と同様である。

【0065】③ 次に、スパッター法により膜厚 $10\mu\text{m}$ の SiO_2 層を堆積し、その上に、スパッタ法により膜厚 $3\mu\text{m}$ の Cr 層を堆積する。その上に、ポジ型レジスト剤「OFPR800」をスピナにより回転塗布し、オープンにて 80°C で30分間放置する(図23)。空冷後、所望のパターン(図23のフォトマスクM4のパターン)を露光し、レジストの現像、水洗を行い、オープンにて 135°C で30分間放置する。空冷後、 Cr エッチング液「MR-ES」を用いて、 Cr をエッチング、水洗する。次に、基板を 120°C に保持したレジスト剥離液「クリーンストリップ」中に、5分間放置し、次に室温のストリップリンス液に1分、室温のイソプロピルアルコールに1分間浸漬することでレジストの剥離を行う。この基板を水洗し、その後乾燥させる。以上により上部電極120を絶縁体のマスクパターンとして形成する。

【0066】④ 次に、 $\text{CHF}_3 + \text{O}_2$ をエッチャントとして用いたリアクティブ・イオン・エッチングにより、先にパターニングした Cr をマスクとして SiO_2 層をパターニングする。以上により絶縁体層のパターニングを終了する(図24)。

【0067】⑤ この基板にポジ型レジスト剤「OFPR800」をスピナにより回転塗布し、オープンにて 80°C で30分間放置し乾燥させる。空冷後、上部電極の線幅が減少するパターン(図25のフォトマスクM5のパターン)を露光し、レジストの現像、水洗を行い、オープンにて 135°C で30分間乾燥する。空冷後、 Cr エッチング液「MR-ES」を用いて Cr を現像、水洗する。次に、基板を 120°C に保持したレジスト剥離液中に、5分間放置し、次に室温のストリップリンス液に1分、室温のイソプロピルアルコール液に1分間浸漬することでレジストの剥離を行う。この基板を水洗、乾燥することにより上部電極130が完成する(図26)。

【0068】⑥ 次に、有機パラジウム化合物を含む有機溶媒(興野製薬工業株式会社製「キャタペーストCCP」)をスクリーン印刷法で、画素電極上に印刷し、15分間放置した。その後、約 200°C で20分間焼成し、 Pd の微粒子層からなる電子放出膜140を得た(図27)。以上の方法で電子放出素子を作製し、良好な特性を得た。

【0069】＜電子放出動作に関する実施例＞

⑦ 製造方法1の場合と同様に、対向基板の製造方およ

び電子放出動作の試験を行ったところ所定の画像情報に対応した信号を与えたところ、対向基板上に画像形成がみられた。

【0070】

【発明の効果】以上のとおり、本発明によれば、電子放出素子の画素電極を3極の電極または中心電極とそれを包囲する電極の構造としたので、電子放出が従来の電子放出素子に比較して収束してなされるため、対応電極とのアライメントが容易となり、ディスプレイパネルとした場合に色彩再現の向上を図ることが可能となる。また、本発明による電子放出素子を配列したマトリックス基板では、列方向電極と行方向電極とを絶縁層を介して立体的に配置し、電極配線の単純化と電子放出の収束を図っているため、簡易な構成で優れた機能を持つマトリックス基板が得られる。また、本発明による電子放出素子を配列したマトリックス基板の製造方法では性能の優れたマトリックス基板を容易に製造することができる。

【図面の簡単な説明】

【図1】従来の表面伝導型の電子放出素子10および対向基板20の構造を示す断面図である。

【図2】図1に示す電子放出素子10におけるガラス基板11上に形成された構成要素の上面図である。

【図3】図1に示す電子放出素子10から対向基板に向けて電子放出が行われている状態を示す断面図である。

【図4】本発明になる3極の画素電極からなる電子放出素子40および対向基板20を示す断面図である。

【図5】本発明になる3極の画素電極からなる電子放出素子40におけるガラス基板11上に形成された構成要素の上面図である。

【図6】図4に示す本発明になる電子放出素子40から対向基板20に向けて電子放出が行われている状態を示す断面図である。

【図7】図6に示す電子放出素子の画素電極の両端に収束電極を設けた例を示す上面図である。

【図8】本発明の他の電極構造をもった電子放出素子の上面図である。

【図9】本発明の他の電極構造をもった電子放出素子の斜視図である。

【図10】本発明の他の電極構造をもった電子放出素子の斜視図である。

【図11】本発明の電子放出素子をマトリックス基板上に構成した実施例を示す斜視図である。

【図12】本発明の電子放出素子をマトリックス基板上に構成した他の実施例を示す斜視図である。

【図13】電子放出素子を用いたマトリックス基板の駆動原理を説明するための平面図である。

【図14】図11に示すマトリックス基板の構造を得るための第1の製造方法で下部電極のパターン露光を行う工程を示す斜視図である。

【図15】図11に示すマトリックス基板の構造を得る

ための第1の製造方法で下部電極を形成する工程を示す斜視図である。

【図16】図11に示すマトリックス基板の構造を得るための第1の製造方法で形成された下部電極110を示す斜視図である。

【図17】図11に示すマトリックス基板の構造を得るための第1の製造方法で感光性レジスト層を形成する工程を示す斜視図である。

【図18】図11に示すマトリックス基板の構造を得るための第1の製造方法で感光性レジスト層にパターン露光を行う工程を示す斜視図である。

【図19】図11に示すマトリックス基板の構造を得るための第1の製造方法で基板上に形成された絶縁層120を示す斜視図である。

【図20】図11に示すマトリックス基板の構造を得るための第1の製造方法で絶縁層120上に上部配線のためのパターン露光を行う工程を示す斜視図である。

【図21】図11に示すマトリックス基板の構造を得るための第1の製造方法で絶縁層120上に形成された上部配線130を示す斜視図である。

【図22】図11に示すマトリックス基板の構造を得るための第1の製造方法で画素電極上に形成された電子放出膜140を示す斜視図である。

【図23】図12に示すマトリックス基板の構造を得るための第2の製造方法で上部電極のためのパターン露光を行う工程を示す斜視図である。

【図24】図12に示すマトリックス基板の構造を得るための第2の製造方法で上部電極130および絶縁層120をエッチングした後の状況を示す斜視図である。

【図25】図12に示すマトリックス基板の構造を得るための第2の製造方法で上部電極の線幅を減少させるためのパターン露光を行う工程を示す斜視図である。

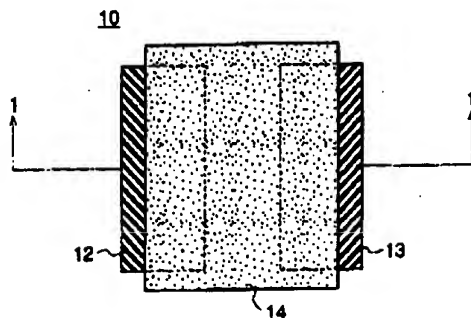
【図26】図12に示すマトリックス基板の構造を得るための第2の製造方法で基板上に形成された上部電極130および絶縁層120を示す斜視図である。

【図27】図12に示すマトリックス基板の構造を得るための第2の製造方法で画素電極上に形成された電子放出膜140を示す斜視図である。

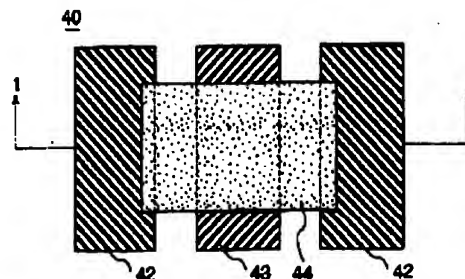
【符号の説明】

- 10 電子放出素子
- 11 ガラス基板
- 12, 13 電極
- 14 電子放出膜
- 20 対向基板
- 21 ガラス基板
- 22 透明電極
- 23 蛍光体層
- 30 31, 32, 33, 34 電源
- 35 スイッチ
- 40 電子放出素子
- 42, 43 電極
- 44 電子放出膜
- 45 収束電極
- 50 電子放出素子
- 52, 51 電極
- 54 電子放出膜
- 60 電子放出素子
- 62, 63 電極
- 64 電子放出膜
- 65 絶縁層
- 70 電子放出素子
- 72, 73 電極
- 74 電子放出膜
- 75 絶縁層
- 100 ガラス基板
- 110 下部電極
- 120 絶縁体層
- 125 レジスト層
- 130 上部電極
- 135 レジスト層
- 140 電子放出膜
- 150 セレクタ
- 160 ドライバ
- 200, 300 電子放出素子を配列したマトリックス基板

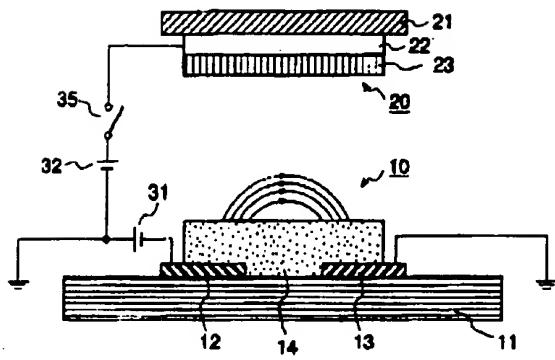
【図2】



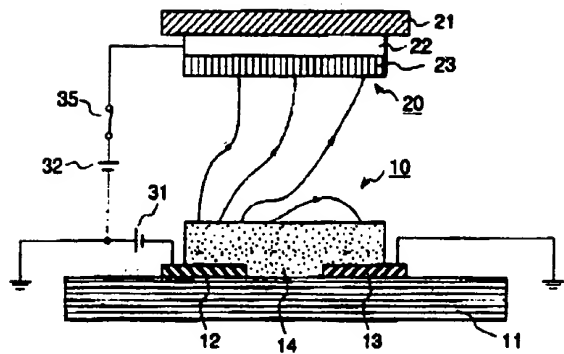
【図5】



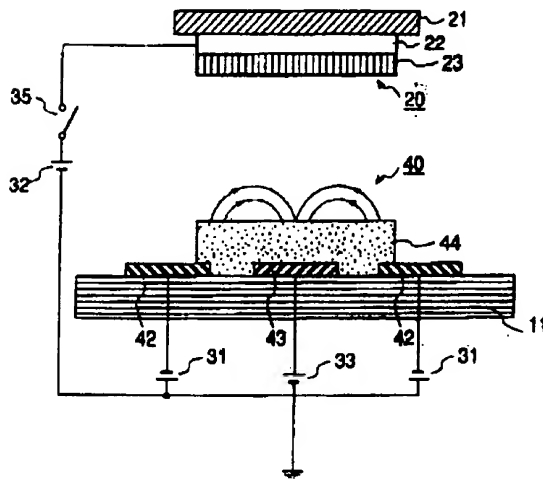
【図1】



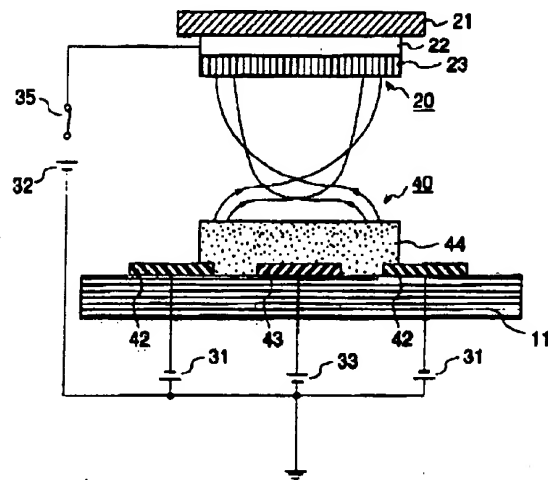
【図3】



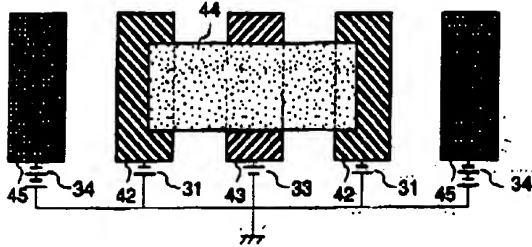
【図4】



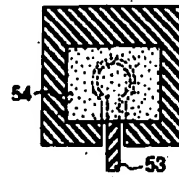
【図6】



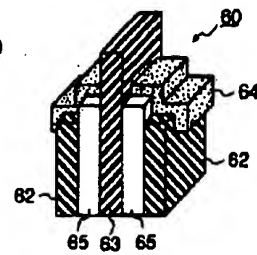
【図7】



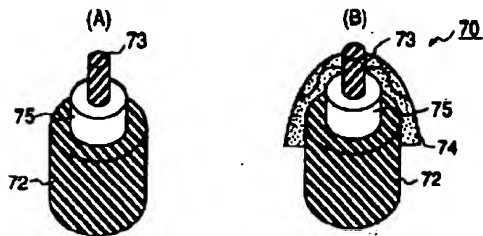
【図8】



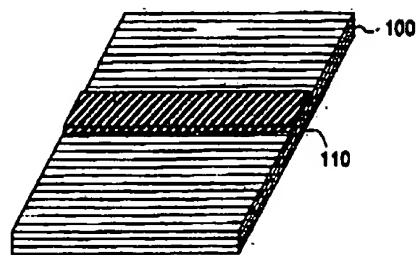
【図9】



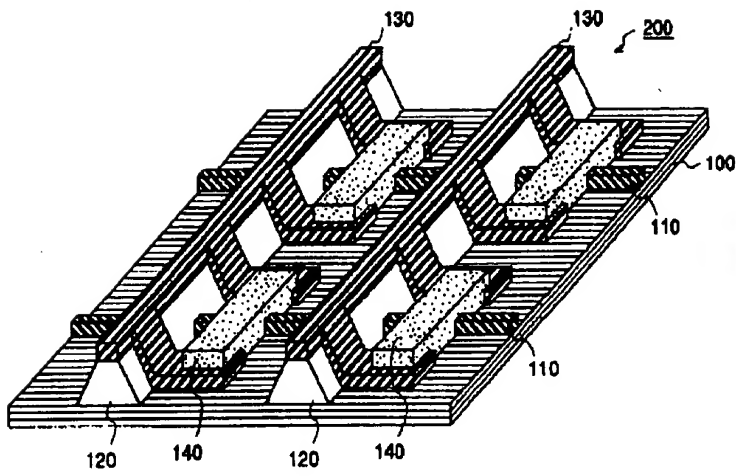
【図10】



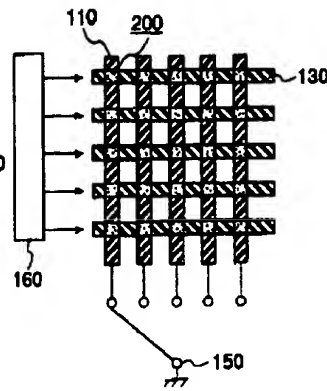
【図16】



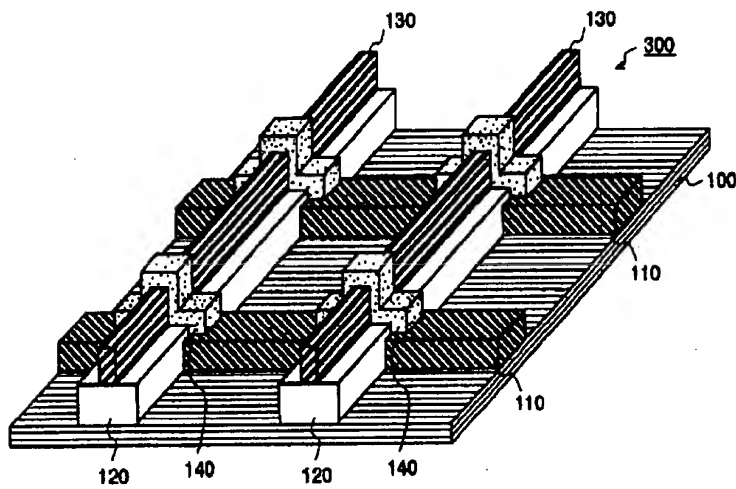
【図11】



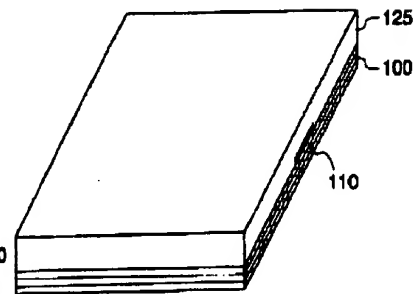
【図13】



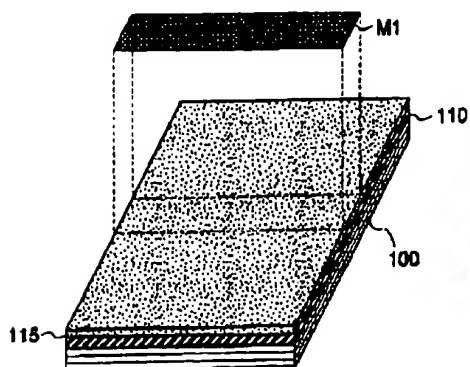
【図12】



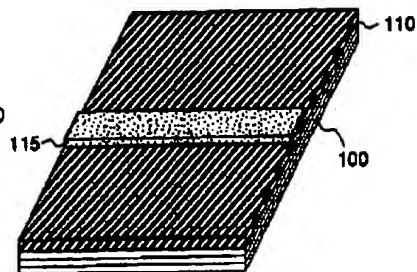
【図17】



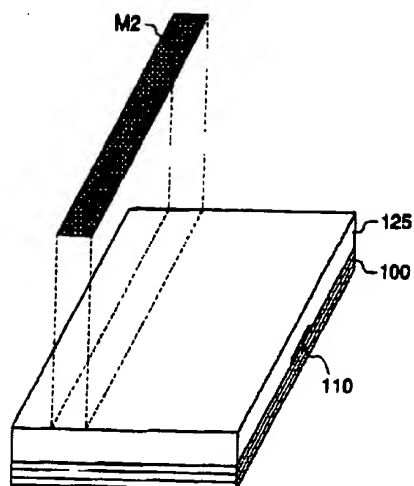
【図14】



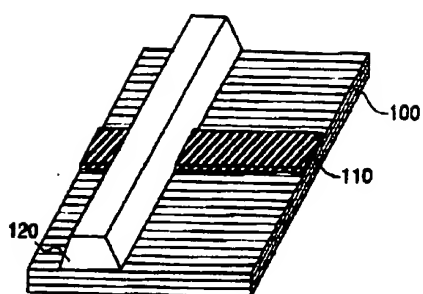
【図15】



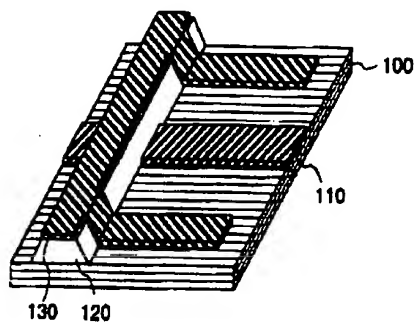
【図18】



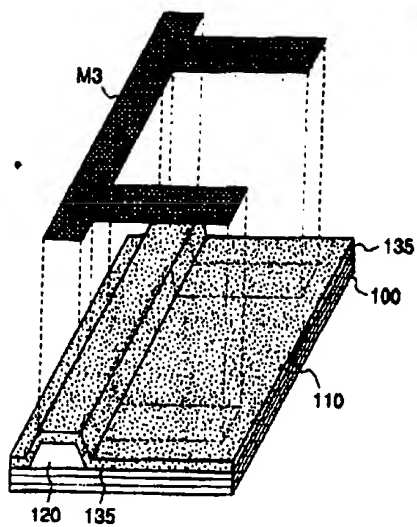
【図19】



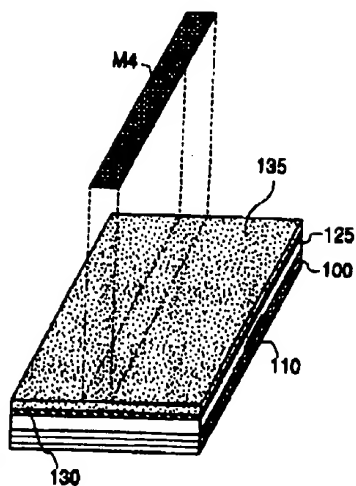
【図21】



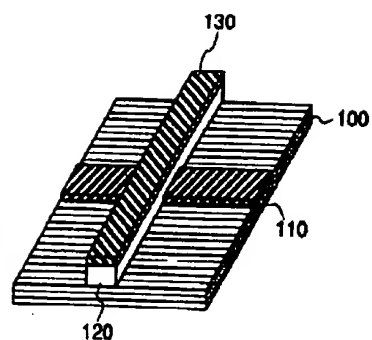
【図20】



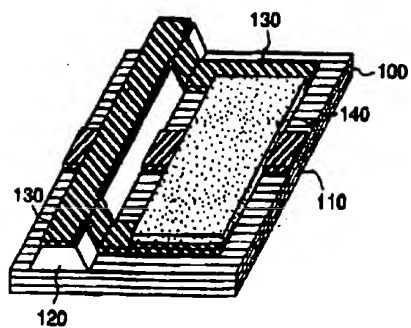
【図23】



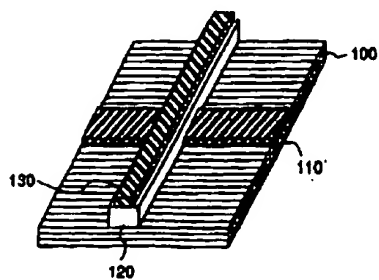
【図24】



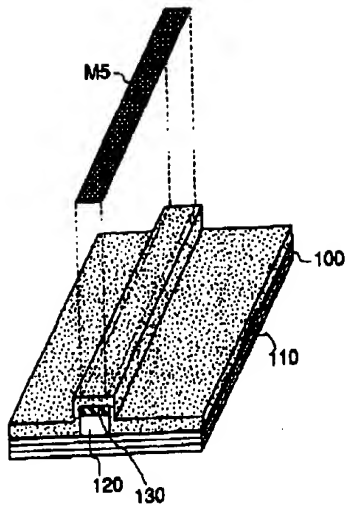
【図22】



【図26】



【図25】



【図27】

